

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010091874 A  
(43)Date of publication of application: 23.10.2001

---

Application number:	1020000071594	(71)Applicant:	FUJITSU LIMITED
Date of filing:	29.11.2000	(72)Inventor:	KURAMAE MASAKI
Priority:	15.03.2000 JP 2000 2000072887		
Int. Cl.	H01L 27/108		

---

SEMICONDUCTOR DEVICE AND FABRICATING METHOD THEREOF

Abstract:



USE: A method for fabricating a semiconductor device is disclosed to form hemispherical grain(HSG) silicon on the uppermost surface of an amorphous silicon layer of a cylindrical type, by implanting high density impurities into the uppermost surface of the amorphous silicon layer before the HSG silicon is formed on the amorphous silicon of a cylindrical or pillar type.

TITLE: An undoped amorphous silicon layer or the amorphous silicon layer of low impurity density is formed on the first insulation layer having a protrusion type. Impurities are selectively implanted into the uppermost surface of the amorphous silicon layer to make the uppermost part of the amorphous silicon layer a high density impurity region. After the amorphous silicon layer is exposed to thermal gas, the amorphous silicon layer is annealed in a reduced pressure atmosphere. The HSG silicon of the first density is formed on the uppermost surface of the amorphous silicon layer and the HSG silicon of the second density is formed on the surface of the amorphous silicon layer. Impurities are implanted into the HSG silicon and the amorphous silicon

; KIPO 2002

Status

final disposal of an application (00000000)

registration (00000000)

opposition against the grant of a patent (00000000)

특2001-0091874

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 27/108	(11) 공개번호 (43) 공개일자	특2001-0091874 2001년10월23일
(21) 출원번호 (22) 출원일자 (30) 우선권주장 (71) 출원인 (72) 발명자 (74) 대리인	10-2000-0071994 2000년11월29일 2000-072887 2000년03월15일 일본(JP) 후지쯔 가부시끼가이샤 마찌구사 나오후미 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1 구라마에마사끼 일본국아이찌켄가스가이시고조지조2-1844-2후지쯔보이엘에스마찌가부시끼가 이샤내 문두현, 문기상	

심사청구 : 없음

(54) 반도체 장치 및 그 제조 방법

요약

본 발명은 캐패시터를 갖는 반도체 장치에 관한 것이며, 상면에서 실리콘 돌기가 잘 탈락되지 않는 구조의 원통상 축적 전극을 형성하는 것이다.

연도프트 또는 저불순물 농도의 비정질 실리콘막(10)을 절연막(7) 위에 증착시켜서 형성하는 공정과, 비정질 실리콘막(10)의 최상면에 선택적으로 불순물을 도입하여, 비정질 실리콘막(10)의 최상부를 고농도 불순물 영역으로 하는 공정과, 비정질 실리콘막(10)을 실리콘 화합물 가스에 노출한 후에 비정질 실리콘막(10)을 감압 분위기 중에서 어닐링함으로써 비정질 실리콘막(10)의 최상면에는 제1막도로, 또한 그 측면에는 이 제1막도보다도 높은 제2막도로 반구상 그래인 실리콘(12)을 형성하는 공정과, 반구상 그래인 실리콘(12) 및 비정질 실리콘막(10)에 불순물을 도입하는 공정을 포함한다.

도표도

도5

색인어

비정질 실리콘막, 그래인 실리콘

명세서

도면의 간단한 설명

- 도1a, 도1b는 종래 기술의 축적 전극의 상면도.  
도2는 본 발명의 제1실시예에 의한 메모리셀의 형성 공정을 나타낸 단면도(그 1).  
도3은 본 발명의 제1실시예에 의한 메모리셀의 형성 공정을 나타낸 단면도(그 2).  
도4는 본 발명의 제1실시예에 의한 메모리셀의 형성 공정을 나타낸 단면도(그 3).  
도5는 본 발명의 제1실시예에 의한 메모리셀의 형성 공정을 나타낸 단면도(그 4).  
도6은 본 발명의 제1실시예에 의한 메모리셀의 형성 공정을 나타낸 단면도(그 5).  
도7은 본 발명의 실시예에 사용하는 처리 장치의 평면 구성도.  
도8a, b는 본 발명의 제1실시예의 축적 전극의 상면도와 사시도.  
도9는 본 발명의 제2실시예에 의한 메모리셀의 형성 공정을 나타낸 단면도(그 1).  
도10은 본 발명의 제2실시예에 의한 메모리셀의 형성 공정을 나타낸 단면도(그 1).  
도11은 본 발명의 제2실시예에 의한 메모리셀의 형성 공정을 나타낸 단면도(그 2).  
도12는 본 발명의 제2실시예에 의한 메모리셀의 형성 공정의 변형례를 나타낸 단면도.

※ 도면의 주요부분에 대한 부호의 설명 ※

- 3...MOS트랜지스터,
- 4...제1층간 절연막,
- 5...제2층간 절연막,
- 6...플래그,
- 7...실리콘 절화막,
- 8...제3층간 절연막
- 9...개구부,
- 10...비정질 실리콘막,
- 11...레지스트,
- 12...HSG막,
- 13...축적 전극,
- 14...유전체막,
- 15...대향 전극,
- 16...HSG막,
- 17...축적 전극,
- 18...유전체막,
- 19...대향 전극.

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것이며, 보다 상세하게는 커패시터를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

반도체 기억장치에서는 대용량화의 요구로 메모리셀의 집적도가 더욱 더 높아지고 있다. DRAM에 있어서의 메모리셀은 MOS트랜지스터와 커패시터로 구성되고, 셀의 고집적화에 수반되어 커패시터의 형성 영역이 좁아지고 있다. 그리고, 커패시터 형성 영역이 좁아지면 커패시터의 정전 용량이 작아져서, 소프트 에러율을 증가시키거나, 리프레시 능력을 저하시키는 원인이 된다.

이 때문에 커패시터의 정전 용량을 증가시키기 위해서는 커패시터를 구성하는 축적 전극의 표면적을 늘리거나, 또는 유전체막의 재료로서 고유전율을 높일 것을 채용하는 등의 구조가 채용되고 있다. 축적 전극의 표면적을 늘리기 위해서는 그 높이를 높이거나, 원통상으로 하거나, 또는 표면에 요철 형상을 부여하는 HSG막(Hemispherical Grained Silicon layer)를 사용하는 것이 알려져 있다.

축적 전극의 표면에 HSG막을 형성함으로써 그 표면적을 증가시키는 것은 예를 들면 일본 특개평11-135759호 공보, 일본 특개평9- 186302호 공보에 기재되어 있다.

그와 같은 HSG막을 원통상(실린더상)의 축적 전극의 표면에 형성하는 것은 축적 전극의 표면적을 더욱 증가시킬 수 있는 등의 메리트가 있다.

##### 발명이 이루고자하는 기술적 과제

그러나 원통상의 축적 전극의 표면에 HSG막을 형성한 후에, 그 축적 전극의 링상 상면이나 그 각부에서 반구상의 실리콘이 탈락하기 쉽게 된다. 특히 원통형의 실리콘 표면에 HSG막을 형성한 후에 그들을 약액 세정하면, 반구상 실리콘의 탈락이 현저하게 나타난다.

예를 들면 원통상의 실리콘축적 전극의 표면 전체에 HSG막을 형성 직후에는 도1a와 같이 축적 전극의 링상의 최상면에 다수의 반구상의 돌기(100)가 형성된 상태로 된다. 그러나, 그 후에 축적 전극을 약액 세정하면 그 상면의 일부의 돌기(100)가 탈락되어 버리고, 그 탈락 조각(101)이 도1b에 나타난 바와 같이 원통상의 축적 전극(102, 102)끼리를 탈락시키고 만다.

본 발명의 목적은 상면으로부터의 돌기가 탈락되기 어려운 구조인 원통상 축적 전극을 구비한 반도체 장치와 그 제조 방법을 제공하는 데에 있다.

##### 발명의 구성 및 작용

상기한 과제는 연도프트 또는 저불순물 농도의 비정질 실리콘막을 제1절연막 위에 물출한 형상으로 형성하는 공정과, 비정질 실리콘막의 최상면에 선택적으로 불순물을 도입하고, 비정질 실리콘막의 최상부를 고농도 불순물 영역으로 하는 공정과, 비정질 실리콘막을 실리콘 화합물 가스에 노출한 후에 비정질 실리콘막을 감압 분위기 중에서 어닐링함으로써, 비정질 실리콘막의 최상면에는 제1밀도로, 또한 측면에는 제1밀도보다도 높은 제2밀도로 반구상 그래인 실리콘을 형성하는 공정과, 반구상 그래인 실리콘 및 비정

질 실리콘막에 불순물을 도입하는 공정을 갖는 반도체 장치의 제조 방법에 의해서 해결된다. 그 비정질 실리콘막은 예를 들면 원통상으로 형성된다.

또 상기한 과제는 반도체 기판의 위쪽에 형성된 실리콘막과 실리콘막의 표면에 형성되고, 실리콘막의 측면보다도 최상면의 밀도가 낮은 반구상 그레이 실리콘막을 갖는 축적 전극과, 반구상 그레이 실리콘막과 실리콘막을 덮는 유전체막과, 유전체막 위에 형성된 대향 전극으로 되는 커패시터를 갖는 반도체 장치에 의해서 해결된다. 이 경우 실리콘막은, 예를 들면 원통상을 갖고 있다. 또 상기 실리콘막의 최상부에는 포함되는 불순물 농도는 다른 영역의 불순물 농도보다도 높다.

다음에 본 발명의 작용에 대하여 설명하겠다.

본 발명에 의하면 연도프트 또는 저불순물 농도의 원통상 또는 기둥상의 비정질 실리콘막의 표면에 반구상 그레이 실리콘을 형성하기 전에, 원통상 비정질 실리콘막의 최상면에 불순물을 고농도, 예를 들면  $2 \times 10^{19} \text{cm}^{-3}$  보다도 높아지도록 주입되어 있다.

이와 같은 조건에 의하면 반구상 그레이 실리콘은 비정질 실리콘막의 최상면에서는 극히 성장이 어렵게 되고, 그 반구상 그레이 실리콘의 밀도는 측면(원통상의 경우에는 내주면 및 외주면)의 그것보다도 대폭 저하된다. 이것은 반구상 그레이 실리콘은 실리콘 원자의 이동에 의해서 형성되는 것이지만, 불순물 농도의 높은 부분의 실리콘 원자의 이동이 억제되기 때문이다.

이에 의해서 반구상 그레이 실리콘이 원통상 비정질 실리콘막의 최상면 각부분부터 탈락되는 확률은 매우 낮아져서 반구상 그레이 실리콘의 탈락률을 거쳐서 실리콘막끼리 단락되는 일은 회피된다.

#### 실시에

이하에 본 발명의 실시예를 도면에 의해서 설명하겠다.

#### (제1 실시예)

도2~도6은 본 발명의 실시예를 나타낸 반도체 장치의 제조 공정을 나타낸 단면도이다.

먼저 도2a에 있어서, p형의 실리콘(반도체) 기판(1) 중 소자 분리 영역에는 LOCOS층(2)이 형성되고, 그 LOCOS층(2)에 둘러싸인 소자 형성 영역에는 MOS트랜지스터(3)가 형성되어 있다.

소자 형성 영역에서는 실리콘 기판(1) 위에 게이트 절연막(3a)을 통해서 게이트 전극(3b)이 형성되고, 그 게이트 전극(3b)이 양쪽의 실리콘 기판(1)에는 제1 및 제2의 n형 불순물 확산층(3c, 3d)이 형성되고, 이에 의해서 MOS트랜지스터(3)가 구성된다. 그 게이트 전극(3b)은 워드선을 겸하고 있다.

또 실리콘 기판(1) 위에는 MOS트랜지스터(3), LOCOS층(2) 등을 덮는  $\text{SiO}_2$ 로 되는 제1층간 절연막(4)이 형성되어 있다. 제1층간 절연막(4)은 단층 또는 다층 구조를 갖고, 제1의 n형 불순물 확산층(3c) 위에는 제1홀(4a)이 형성되어 있다. 그리고 제1층간 절연막(4) 위에 형성되는 비트선(BL)은 제1홀(4a)을 통해서 제1 n형 불순물 확산층(3c)에 접속되어 있다. 비트선(BL)과 제1층간 절연막(4) 위에는  $\text{SiO}_2$ 로 되는 제2층간 절연막(5)이 형성되어 있다.

그와 같은 상태에서 제1 및 제2층간 절연막(4, 5)을 포토리소그래피법에 의해서 패터닝하여 제2불순물 확산층(3d) 위에 제2홀(5a)을 형성한다. 그 후에 제2홀(5a) 내와 제2층간 절연막(5) 위에 인, 비소와 같은 n형 불순물이 도포된 비정질 실리콘층을 성장한다.

계속해서 화학 기계 연마(CMP)법에 의해서 제2층간 절연막(5)의 상면에서 비정질 실리콘층을 제거한다. 이에 의해서 제2홀(5a) 내에 남은 비정질 실리콘층을 플러그(6)로서 사용한다.

다음에 제2층간 절연막(5)과 플러그(6) 위에, 실리콘 질화층막(7)을 50nm의 두께로 형성하고, 이어서 8PS로 되는 제3층간 절연막(8)을 1.2  $\mu\text{m}$ 의 두께로 형성한 후에, 제3층간 절연막(8)을 가열하여 리플로우함으로써 그 표면을 평탄화한다.

이어서 도2b에 나타낸 바와 같이, 제3층간 절연막(8)과 실리콘 질화층막(7)을 포토리소그래피법에 의해서 패터닝하고, 플러그(6)와 그 주변 영역에 축적 전극 형상의 개구부(9)를 형성한다.

또 도3a에 나타낸 바와 같이, 개구부(9)의 내면과 제3층간 절연막(8)의 상면에 두께 75nm의 비정질 실리콘막(10)을 형성한다. 그 비정질 실리콘막(10)은  $2 \times 10^{19} \text{cm}^{-3}$  보다도 낮은 불순물 농도, 예를 들면  $1 \times 10^{17} \text{cm}^{-3}$  으로 인을 포함하거나, 또는 연도프트로 형성된다. 또 개구부(9) 내에서 비정질 실리콘막(10) 위에 오목부(10u)가 존재한다.

그 후 도3b에 나타낸 바와 같이 비정질 실리콘막(10) 위에 포토레지스트(보호막) (11)를 도포하고, 이어서 포토레지스트(11)를 베이킹한다.

다음에 도4a에 나타낸 바와 같이 포토레지스트(11)와 비정질 실리콘막(10)을 CMP법에 의해서 연마하고, 이것을 제3층간 절연막(8)의 상면 상에서 제거한다. 연마 후에는 개구부(9) 내에서 비정질 실리콘막(10)이 바닥을 갖는 원통(실린더)형상으로 남는다. 그리고 그 원통 내에는 포토레지스트(11)로 충진된 상태로 되어 있다. 그 결과 원통상의 비정질 실리콘막(10) 중 최상면만이 외부에 노출된 상태로 된다.

또 포토레지스트(11)의 대신으로 보호막으로서 SOG(spin on glass)를 사용하여도 좋다.

이어서 도4b에 나타낸 바와 같이, 제3층간 절연막(8)의 상면에 대하여 대략 수직 방향으로 인을 이온 주입하면, 포토레지스트(11)와 제3층간 절연막(8)이 마스크로 되어서 비정질 실리콘막(10)의 상부에 국부적으로 인이 주입된다.

인 이온 주입 조건으로서, 가속 에너지를 5keV, 도즈량을  $1 \times 10^{16} \text{cm}^{-2}$  또는 그 이상으로 설정하면, 비정질 실리콘막(10)의 원통의 최상부(10a)에 국부적으로 인이 주입되고, 그 최상부에서의 인의 불순물 농도는

약  $1 \times 10^{21} \text{cm}^{-3}$  또는 그 이상으로 된다.

또 비정질 실리콘막(10)에 주입되는 불순물로서는 인의 대신으로 비소를 사용하여도 좋다.

그 후에 도5a에 나타난 바와 같이 포토레지스트(11)를 용제 또는 산소 플라즈마에 의해서 제거하고, 이어서 불산에 의해서 제3층간 절연막(8)을 제거하면, 실리콘 질화막(7) 위에는 원통상의 비정질 실리콘막(10)이 노출된다. 그리고 SC-1 및 DHF의 용액을 사용하여 비정질 실리콘막(10)을 세정한다. 또 SC-1은 암모니아수와 과산화수소수의 혼합액이다. DHF는 불산을 순수로 희석한 용액이다.

다음에 도7에 나타난 바와 같은 장치의 로드록 챔버(21)를 통해서 실리콘 기판(1)을 웨이퍼 반송실(22)에 넣는다. 웨이퍼 반송실(22) 내에서 로봇(23)을 조작하여 실리콘 기판(1)을 증형로(縱型爐)(24)에 넣는다. 또 웨이퍼 반송실(22)에는 질소 가스를 포함한 감압 분위기로 되어 있다.

그리고, 증형로(24)에 있어서 실리콘 기판(1)을 560℃로 가열한 상태에서 실란( $\text{SiH}_4$ ) 가스를 비정질 실리콘막(10)에 20분간 조사한다. 이 경우의 증형로(24) 내의 압력은 대략  $5 \times 10^{-4} \text{Torr}$ 이다.

계속해서 증형로(24) 내의 압력을 진공으로 끌어내려서, 대략  $5 \times 10^{-6}$ 로 저하시키고, 예를 들면 560℃에서 비정질 실리콘막을 20분간 어닐링하면, 도5b에 나타난 바와 같이 비정질 실리콘막(10)의 원통의 내면과 외주면에는 HSB막(12)이 형성되어서 그들 면을 요철로 하지만, 그 원통의 링상의 최상면에는 HSB막(12)이 거의 성장하지 않는다. 이것은 불순물 농도가  $1 \times 10^{21} \text{cm}^{-3}$  또는 그 이상의 실리콘막의 표면에는 HSB막(12)이 형성되기 어려운 성질이 있기 때문이다.

그들의 비정질 실리콘막(10)과 HSB막(12)에 의해서 커패시터(0)의 축적 전극(13)이 구성된다. 그 축적 전극(13)의 상면형상은 도8a와 같이 되고, 그 축적 전극(13)의 링상의 최상면에서는 비정질 실리콘막(10)이 거의 노출된 상태로 되어 있다. 또 축적 전극(13)의 외형은 대개 도8b와 같이 된다.

다음에 도7에 나타난 장치의 로봇(23)을 조작하여 실리콘막 기판(1)을 증형로(24)로부터 불순물 도입로(25)에 이동한다. 그 불순물 도입로(25)에서는 도6a에 나타난 바와 같이, 실리콘막 기판(1)을 650℃에서 120분간 가열하면서 축적 전극(13)을 포스핀( $\text{PH}_3$ ) 분위기에서 노출함으로써 그 안에 인을 도입한다. 이에 의해서 축적 전극(13)을 구성하는 HSB막(12) 내외 비정질 실리콘막(10)의 표면의 인농도는 약  $1 \times 10^{21} \text{cm}^{-3}$  이상으로 되고, 비정질 실리콘막(10)의 내부의 인농도는 그것보다 낮고, 예를 들면  $6 \times 10^{20} \text{cm}^{-3} \sim 7 \times 10^{20} \text{cm}^{-3}$  정도로 된다. 이에 의해서 축적 전극(13)의 도전률이 높아져서 전극으로서의 기능이 부여된다.

이 경우, 불순물 농도에 대하여는 축적 전극(13)을 구성하는 비정질 실리콘막(10)의 최상부(10a)는 기타의 영역보다도 높아진다.

그리고 로봇(23)을 조작하여 실리콘막 기판(1)을 언로드 록실(26)을 통해서 외부로 꺼낸 후에, SC-1과 DHF의 용액으로 축적 전극(13)을 세정한다. 이 세정 후의 실리콘 질화막(7)의 표면에는 HSB막(12)의 탈락 조각은 볼 수 없었다.

다음에 도6b에 나타난 바와 같이, 축적 전극(13)의 표면에 실리콘 질화막(유전체막)(14)을 5nm의 두께로 형성하고, 또 실리콘 질화막(14)의 표면을 700℃에서 파마로제닉 산화를 행한다. 계속해서 대향 전극(15)으로 해서 인농도  $5 \times 10^{20} \text{cm}^{-3}$ 의 도프트 비정질 실리콘막을 형성한다. 또 축적 전극(13)을 구성하는 비정질 실리콘막(10)은 HSB막(12)을 형성한 후의 열처리에 의해서 다결정화된다.

이상에 의해서 DRAM셀의 커패시터가 완성된다.

완성된 커패시터는 축적 전극 상호간의 단락이 종래에 비해서 극히 작다는 것이 확인되었다

#### (제2실시예)

본 실시예에서는 축적 전극을 구성하는 비정질 실리콘막의 원통 내에 포토레지스트를 충전하지 않는 상태에서 불순물 이온을 주입하여, 커패시터를 형성하는 공정에 대하여, 도9~도11을 참조하여 설명하겠다. 또 도9~도11에 있어서, 도3과 같은 부호는 같은 요소를 나타내고 있다.

이 실시예에 있어서도, 제1실시예와 같은 공정을 거쳐서, 도9a에 나타난 바와 같이 제3층간 절연막(8)의 상면과 개구부(9)의 내면을 따라 비정질 실리콘막(10)을 형성한다. 그 비정질 실리콘막(10) 내의 불순물 은  $1 \times 10^{21} \text{cm}^{-3}$ 보다도 적은 농도, 또는 인도프트로 되어 있다.

그 후에 도9b에 나타난 바와 같이, CMP법에 의해서 제3층간 절연막(8)의 상면으로부터 비정질 실리콘막(10)을 제거하여 비정질 실리콘막(10)의 형상을 바닥이 있는 원통상으로 한다.

그 후에 도10a에 나타난 바와 같이, 제3층간 절연막(8)의 상면에 대하여 수직 방향으로 인, 비소 등의 불순물을 이온 주입한다. 이온 주입 조건으로서, 가속 에너지를 5keV, 도즈량을  $1 \times 10^{16} \text{cm}^{-2}$  또는 그 이상으로 하면, 비정질 실리콘막(10)으로 되는 원통의 최상부(10a)와 저면에 국부적으로 인이 주입되고, 그 상부와 저면에서의 인의 불순물 농도는 약  $1 \times 10^{21} \text{cm}^{-3}$  또는 그 이상으로 된다.

그 후에 도10b에 나타난 바와 같이 불산에 의해서 제3층간 절연막(8)을 제거하면, 실리콘 질화막(7) 위에는 비정질 실리콘막(10)이 원통상으로 노출된다. 계속해서 SC-1과 DHF의 용액을 사용하여 비정질 실리콘막(10)을 세정한다.

그 후에 도7에 나타난 증형로(24)에 실리콘막 기판(1)을 넣고, 그 중에서 실리콘막 기판(1)을 560℃에서 가열한 상태에서 가스상의 실란( $\text{SiH}_4$ )을 비정질 실리콘막(10)에 20분 동안 조사한다. 이 경우의 증형로

내의 압력은 대략  $5 \times 10^{-4}$  Torr이다.

또 제3층간 절연막(8)을 제거한 후에, 비정질 실리콘막(10)의 최상부(10a)에 불순물을 이온 주입하여도 좋다.

계속하여 종형로(24) 내의 압력을 진공으로 끌어내려서, 대략  $5 \times 10^{-8}$  Torr로 저하시키고, 560°C에서 비정질 실리콘막(10)을 20분간 어닐링하면, 도11a에 나타난 바와 같이, 비정질 실리콘막(10)의 원통의 내주면과 외주면에는 HSG막(16)이 형성되어서 원통의 표면에 요철을 부여한다. 그러나 그 원통의 링상 최상면과 저면에는 HSG막(16)이 거의 성장하지 않는다.

그들의 비정질 실리콘막(10)과 HSG막(16)에 의해서 커패시터(Q)의 축적 전극(17)이 구성된다.

다음에 도7의 불순물 주입로(25) 내에서 실리콘막 기판(1)을 650°C에서 120분간 가열하면서 축적 전극(17)을 포스포핀(PH<sub>3</sub>) 분위기에 노출시킴으로써 그 중에 인을 도입한다. 이 경우 HSG막(16) 내와 비정질 실리콘막(10)의 표층의 인 농도는 약  $1 \times 10^{18}$  cm<sup>-3</sup> 이상으로 되는 한편, 비정질 실리콘막(10)의 내부의 인농도는 그것보다도 낮아진다. 이에 의해서 축적 전극(17)의 도전율은 높아진다.

이 경우 불순물 농도에 대하여는 축적 전극(17)을 구성하는 비정질 실리콘막(10)의 최상부(10a)와 저면은 기타의 영역보다도 높아진다.

그리고 실리콘막 기판(1)을 외부로 꺼낸 후에 SC-1과 DMF의 용액으로 축적 전극(17)을 세정한다. 이 세정 후의 실리콘 질화막(7)의 표면에는 HSG막(16)의 탈락 조각은 볼 수 없었다.

다음에 도11b에 나타난 바와 같이 CVD법에 의해서 축적 전극의 표면에 실리콘 질화막(유전체막)(18)을 5nm의 두께로 형성하고, 또 그 실리콘 질화막(18)의 표면을 700°C에서 파이로제닉 산화를 행한다. 계속해서 대향 전극(19)으로서 인농도  $5 \times 10^{18}$  cm<sup>-3</sup>의 도프트 비정질 실리콘막을 형성한다.

이상에 의해서 DRAM셀의 커패시터가 완성된다.

완성된 커패시터로 인접하는 축적 전극끼리의 단락은 증래에 비해서 극히 작은 것이 확인되었다.

그런데 도12에 나타난 바와 같이 제3층간 절연막(8)에 형성되는 개구부(9a)의 상부의 직경이 하부의 직경보다 큰 테이퍼상의 경우에는 원통상의 비정질 실리콘막(10)도 테이퍼상으로 된다. 이 경우 제3층간 절연막(8)의 상면에 수직 방향으로 이온 주입되는 불순물의 원통의 내주면에서의 농도는 그렇게 높아지지 않고, 그 내주면상에 HSG막(16)의 성장을 멈추게 하는 효과는 없으므로, 그 비정질 실리콘막(10)의 표면에 형성되는 HSG막(16)은 도11a와 같아진다.

또 상기한 2개의 실시예에서는 비정질 실리콘막을 원통상으로 했으나, 기둥상이라도 좋다.

#### 발명의 효과

이상 언급한 바와 같이 언도프트 또는 저불순물 농도의 원통상 또는 기둥상 비정질 실리콘막의 표면에 반구상 그레인 실리콘을 형성하기 전에, 그 비정질 실리콘막의 최상면에 불순물을 고농도, 예를 들면  $2 \times 10^{18}$  cm<sup>-3</sup>보다도 높아지도록 주입했으므로 원통상 비정질 실리콘막의 최상면에서는 반구상 그레인 실리콘이 극히 성장하기 어렵게 되고, 그 반구상 그레인 실리콘이 원통상 비정질 실리콘막의 최상면의 각부로 부터 탈락되는 확률은 극히 낮아지고, 반구상 그레인 실리콘의 탈락물에 의해서 원통상 또는 기둥상 실리콘끼리 단락되는 것을 방지할 수 있다.

따라서 그와 같은 반구상 그레인 실리콘을 갖는 실리콘막을 축적 전극으로서 이용하는 DRAM의 생산수율이 향상된다.

#### (5) 청구의 범위

청구항 1. 언도프트(undoped) 또는 저불순물 농도의 비정질 실리콘막을 제1절연막 위에서 플출한 형상으로 형성하는 공정과,

상기 비정질 실리콘막의 최상면에 선택적으로 불순물을 도입하여, 상기 비정질 실리콘막의 최상부를 고농도 불순물 영역으로 하는 공정과,

상기 비정질 실리콘막을 실리콘 화합물 가스에 노출한 후에 상기 비정질 실리콘막을 감압 분위기 중에서 어닐링함으로써, 상기 비정질 실리콘막의 상기 최상면에는 제1밀도로, 또한 측면에는 이 제1밀도보다도 높은 제2밀도로 반구상 그레인 실리콘을 형성하는 공정과,

상기 반구상 그레인 실리콘 및 상기 비정질 실리콘막에 불순물을 도입하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2. 제1항에 있어서,

상기 비정질 실리콘막은 상기 제1절연막 위에 원통상으로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3. 제1항에 있어서,

원통상으로 형성되는 상기 비정질 실리콘막의 상기 최상면에 상기 불순물을 주입할 때에, 상기 비정질 실리콘막의 외주면은 제2절연막에 의해서 덮이고, 또한 상기 비정질 실리콘막의 내주면은 보호막에 의해서 덮여져 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4. 제1항에 있어서,

상기 저불순물 농도는  $2 \times 10^{20} \text{ cm}^{-3}$  이하의 농도인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5. 제1항 또는 2에 있어서,

상기 고농도 불순물 영역에서는  $2 \times 10^{20} \text{ cm}^{-3}$ 보다도 높은 불순물 농도를 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6. 제5항에 있어서,

상기 제2절연막은 산화막으로서, 상기 불순물을 상기 비정질 실리콘막에 주입한 후에 선택적으로 제거되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7. 반도체 기판의 위쪽에 형성된 실리콘막과,

상기 실리콘막의 표면에 형성되고, 상기 실리콘막의 측면보다도 최상면의 밀도가 낮은 반구상 그레인 실리콘막을 갖는 축적 전극과,

상기 반구상 그레인 실리콘막과 상기 실리콘막을 덮는 유전체막과,

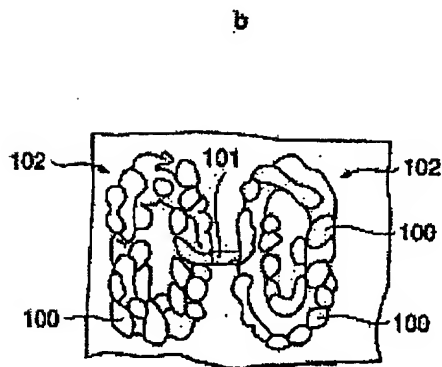
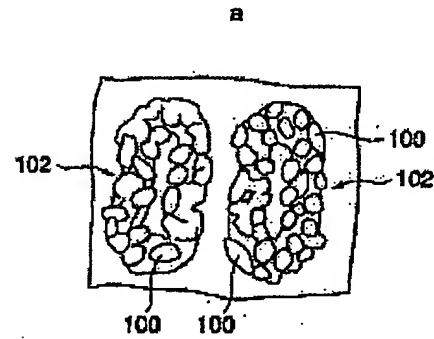
상기 유전체막 위에 형성된 대향 전극으로 되는 커패시터를 갖는 것을 특징으로 하는 반도체 장치.

청구항 8. 제7항에 있어서,

상기 실리콘막의 최상부에 포함되는 불순물 농도는 다른 영역의 불순물 농도보다도 높은 것을 특징으로 하는 반도체 장치.

도면

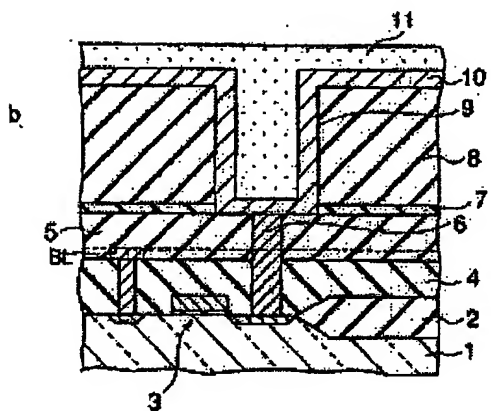
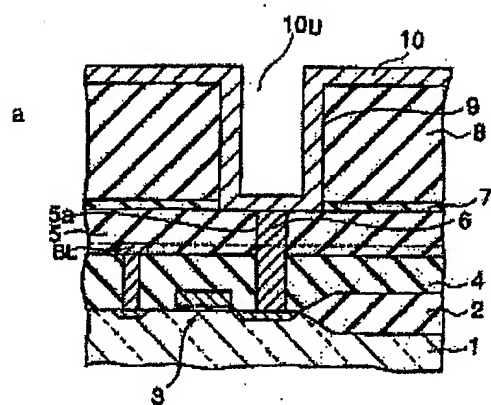
도면



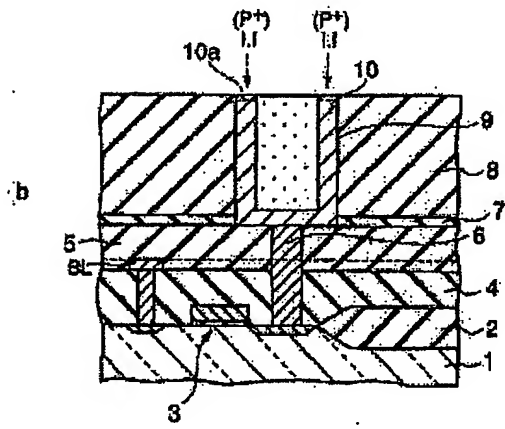
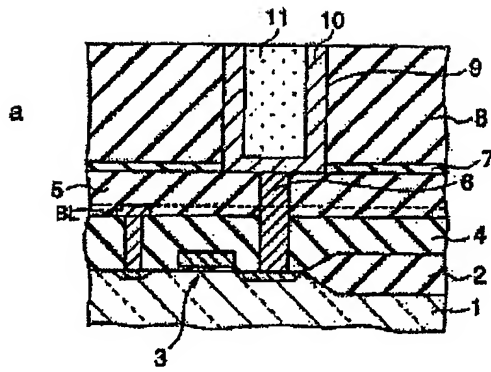




도 13

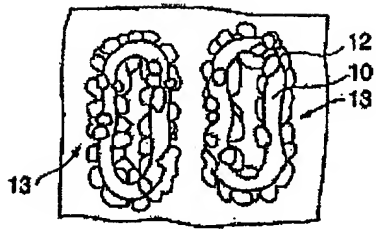


도 4

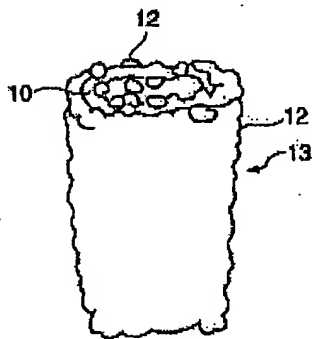


508

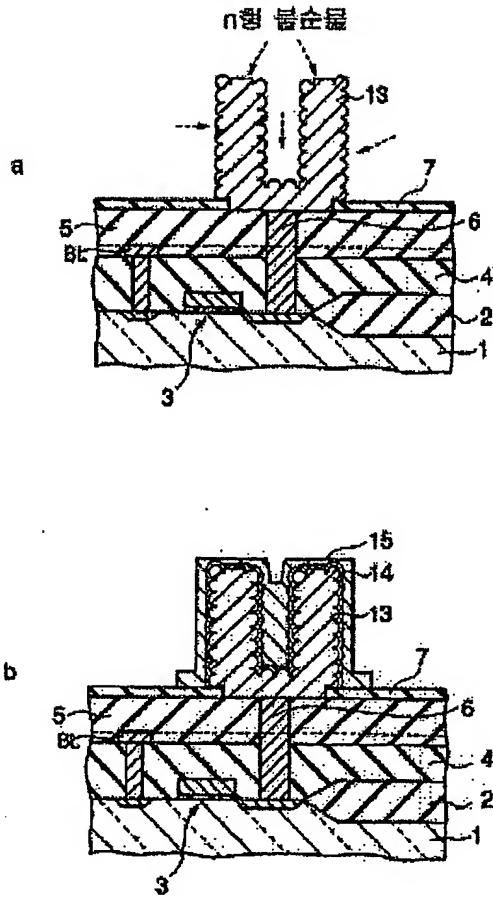
a



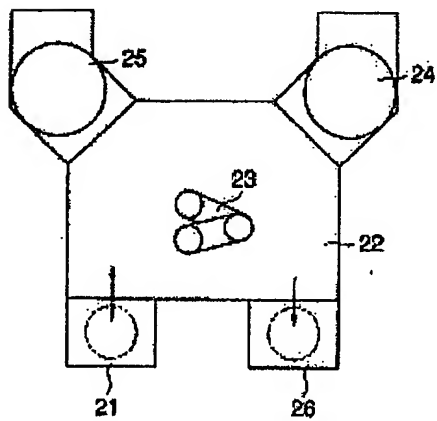
b



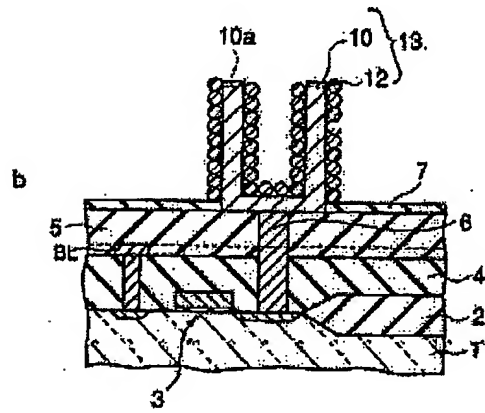
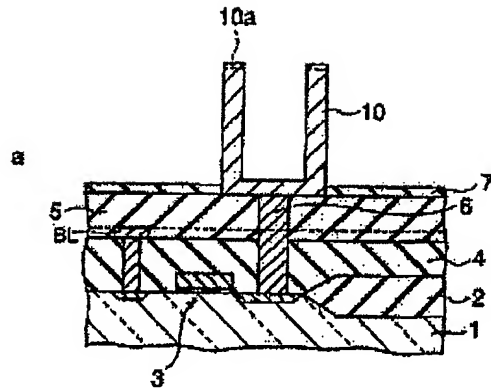
도 8



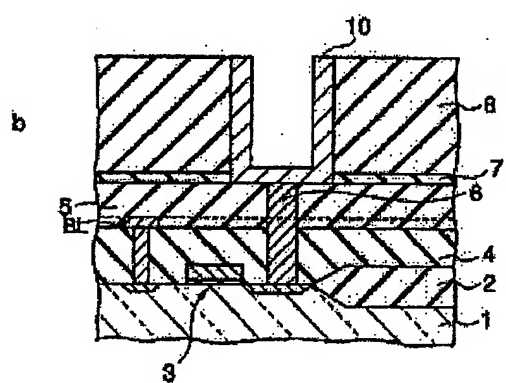
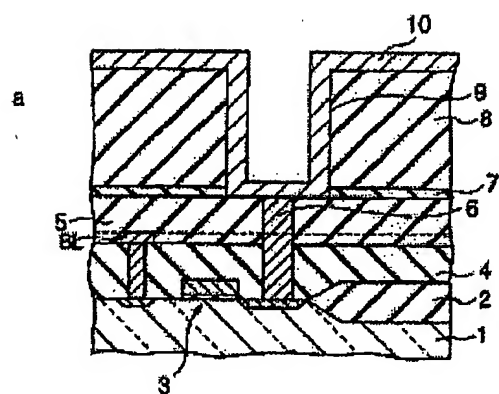
도 9



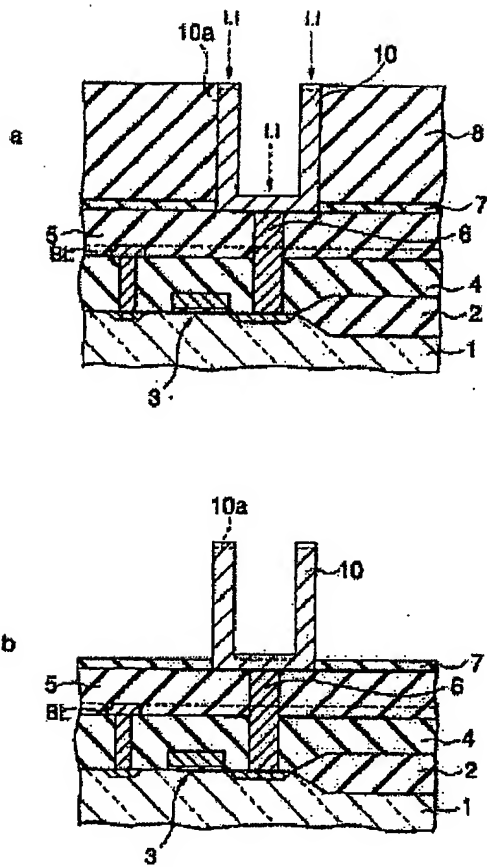
도 5



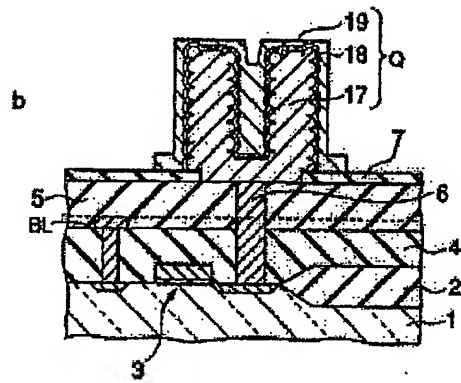
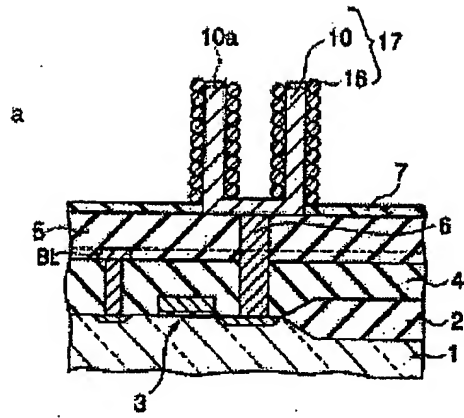
529



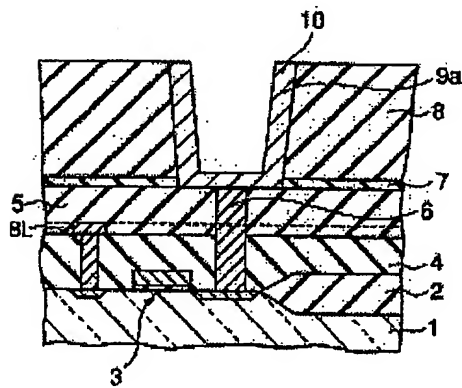
도 10



도면 11



도면 12





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**